

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 8-255107

(43) 公開日 平成8年(1996)10月1日

(51) Int. Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F	12/02	5 9 0	G 0 6 F	12/02 5 9 0 A
	12/00	5 8 0		12/00 5 8 0
G 0 9 G	5/00	5 5 0	G 0 9 G	5/00 5 5 0 T
		5 5 5		5 5 5 J
	5/36	5 3 0		5/36 5 3 0 M
審査請求 未請求 請求項の数 14 O L			(全 2 1 頁)	

(21) 出願番号 特願平7-280776

(22) 出願日 平成7年(1995)10月27日

(31) 優先権主張番号 特願平6-294526

(32) 優先日 平6(1994)11月29日

(33) 優先権主張国 日本 (JP)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 米山 香

東京都青梅市末広町2丁目9番地 株式会社

東芝青梅工場内

(72) 発明者 藤本 曜久

東京都青梅市末広町2丁目9番地 株式会社

東芝青梅工場内

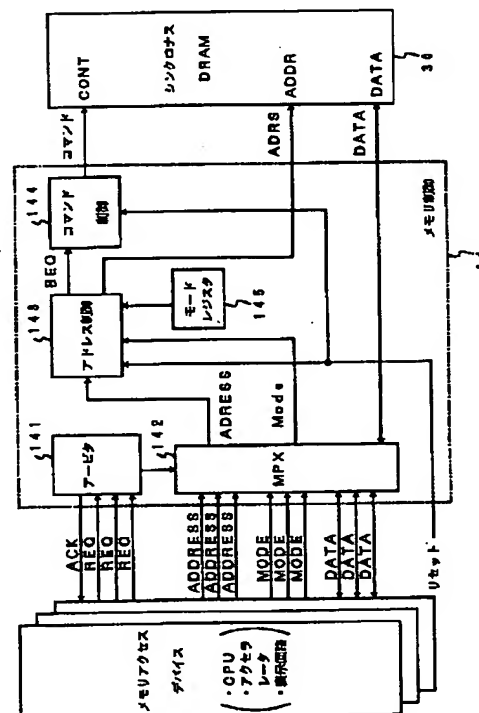
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 ディスプレイコントローラ

## (57) 【要約】

【課題】 2ポートVRAMを使用せずにイメージデータのリード/ライト転送の効率向上を図り、安価で高性能のディスプレイコントローラを実現する。

【解決手段】 VRAMの代わりに、シンクロナスDRAM30が画面イメージを格納するビデオメモリとして使用される。シンクロナスDRAM30を制御するメモリ制御回路14には、ページヒット検出機構を含むアドレス制御回路143とコマンド制御回路144が設けられており、これらによってシンクロナスDRAM30のアクセスサイクルをアドレス値に応じて切替えるためのコマンド発生制御が行なわれる。よって、シーケンシャルアクセスの場合にはプリチャージサイクルが挿入されるのを防止でき、これによってシンクロナスDRAM30のアクセス効率を向上することができる。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】シンクロナスDRAMをビデオメモリとして使用し、コンピュータシステムのディスプレイモニタを制御するディスプレイコントローラにおいて、前記ビデオメモリに対するイメージデータのリードまたはライトを要求する各種メモリアクセスデバイスからのリード／ライト要求に応じて、前記シンクロナスDRAMをアクセスするメモリ制御手段を具備し、このメモリ制御手段は、

前回のビデオメモリアクセスサイクルにおけるメモリアクセスデバイスからのメモリアドレスと今回のビデオメモリアクセスサイクルにおけるメモリアクセスデバイスからのメモリアドレスとを比較し、その比較結果に応じてページヒット／ページミスを検出するページヒット検出手段と、

このページヒット検出手段の検出結果に応じて前記シンクロナスDRAMを動作制御するためのコマンドを発生するコマンド制御手段であって、ページミスが検出された時はプリチャージコマンドを発生して前回のビデオメモリアクセスサイクルと次のビデオメモリアクセスサイクルとの間にプリチャージサイクルを挿入し、ページヒットが検出された時は前回のビデオメモリアクセスサイクルと次のビデオメモリアクセスサイクルとの間にプリチャージサイクルが挿入されないように前記プリチャージコマンドの発生を禁止するコマンド制御手段とを具備することを特徴とするディスプレイコントローラ。

【請求項2】前記コマンド制御手段は、ページミスが検出された時は前回のビデオメモリアクセスサイクル終了後に前回のビデオメモリアクセスサイクルでアクセスされたバンクをプリチャージするためのプリチャージコマンドおよび次のビデオメモリアクセスサイクルでアクセスされるバンクおよびページを選択するためのバンクアクティブコマンドを発生した後に前記選択されたページをアクセスするためのリード／ライトコマンドを発生し、ページヒットが検出された時は前記バンクプリチャージコマンドおよびバンクアクティブコマンドを発生せずに前回のビデオメモリアクセスサイクル終了直後に前記リード／ライトコマンドを発生することを特徴とする請求項1記載のディスプレイコントローラ。

【請求項3】前記メモリ制御手段は、前記メモリアクセスデバイスから前記ビデオメモリに対するリードアクセス要求が発行された時、前記シンクロナスDRAMから前記メモリアクセスデバイスにイメージデータを読み出すためのリード転送が連続して所定回繰り返されるリードサイクルを実行するリード転送制御手段をさらに具備し、このリード転送制御手段は、前記メモリアクセスデバイスによって指定されたスタートアドレスの値を所定値単位で順次増分して前記シンク

ロナスDRAMに供給するアドレスカウンタと、前記ディスプレイコントローラの表示モードに応じて、前記アドレスカウンタによるアドレス値の増分単位を変化させる手段とを含むことを特徴とする請求項1記載のディスプレイコントローラ。

【請求項4】前記リード転送制御手段は、前記リードサイクルに含まれる所定回数の連続するリード転送によって異なるバウンダリ内の番地がアクセスされないように、前記スタートアドレスまたは前記アドレスカウンタの出力に応じて、任意のリード転送回数まで前記リードサイクルを終了させるリード転送停止手段をさらに具備することを特徴とする請求項3記載のディスプレイコントローラ。

【請求項5】前記リード転送制御手段は、前記所定回数の連続するリード転送によって同一のバウンダリ内の全ての番地がアクセスされるように、前記スタートアドレスまたは前記アドレスカウンタから出力されるアドレス値が前記バウンダリ内の最終記憶位置に達した時に、前記アドレスカウンタの値を前記バウンダリ内の先頭番地に戻すラップラウンド手段をさらに具備することを特徴とする請求項3記載のディスプレイコントローラ。

【請求項6】シンクロナスDRAMをビデオメモリとして使用し、コンピュータシステムのディスプレイモニタを制御するディスプレイコントローラにおいて、前記ビデオメモリに対するイメージデータのリードまたはライトを要求する各種メモリアクセスデバイスからのリード／ライト要求に応じて、前記シンクロナスDRAMをアクセスするメモリ制御手段を具備し、このメモリ制御手段は、

前回のビデオメモリアクセスサイクルにおけるメモリアクセスデバイスからのメモリアドレスと今回のビデオメモリアクセスサイクルにおけるメモリアクセスデバイスからのメモリアドレスとを比較し、その比較結果に応じてページヒット／ページミスを検出するページヒット検出手段と、

このページヒット検出手段の検出結果に応じて前記シンクロナスDRAMを動作制御するためのコマンドを発生するコマンド制御手段であって、ページミスが検出された時はプリチャージコマンドを発生して前回のビデオメモリアクセスサイクルと次のビデオメモリアクセスサイクルとの間にプリチャージサイクルを挿入し、ページヒットが検出された時は前回のビデオメモリアクセスサイクルと次のビデオメモリアクセスサイクルとの間にプリチャージサイクルが挿入されないように前記プリチャージコマンドの発生を禁止するコマンド制御手段と、前記メモリアクセスデバイスから前記ビデオメモリに対するリードアクセス要求が発行された時、前記シンクロナスDRAMから前記メモリアクセスデバイスにイメージデータを読み出すためのリード転送が連続して所定回

繰り返されるリードサイクルを実行するリード転送制御手段とを具備し、  
前記リード転送制御手段は、  
前記メモリアクセスデバイスによって指定されたスタートアドレスの値を所定値単位で順次増分して前記シンクロナスDRAMに供給するアドレスカウンタと、  
前記ディスプレイコントローラの表示モードに応じて、  
前記アドレスカウンタによるアドレス値の増分単位を変化させる手段と、  
データの上位ワードにフォントデータが格納され、下位ワードにキャラクタコードとアトリビュートデータが格納されたテキストデータの上位ワードと下位ワードを時分割で読み出す手段をさらに有し、前記上位ワードは、  
前記リード転送停止手段により転送され、下位ワードは前記メモリアクセスデバイスから指定されたアドレスにもとずいて転送されることを特徴とするディスプレイコントローラ。

【請求項7】前記メモリ制御手段は、  
前記メモリアクセスデバイスからのライト要求に応じたビデオメモリアクセスサイクルにおいて、次のライト要求が何も来なければプリチャージサイクルを実行する手段を有することを特徴とする請求項1記載のディスプレイコントローラ。

【請求項8】前記メモリ制御手段は、  
前記メモリアクセスデバイスからの連続ライト転送要求に応答して、前記ビデオメモリアクセスサイクル終了後にプリチャージサイクルを実行せず、次のリード／ライト要求を待つ手段を有することを特徴とする請求項1記載のディスプレイコントローラ。

【請求項9】前記コマンド制御手段は、  
前回のビデオメモリサイクルでアクセスされたバンクをプリチャージするためのプリチャージコマンド、次のビデオメモリアクセスサイクルでアクセスされるバンクおよびページを選択するためのバンクアクティブコマンド、バンクアクティブコマンドを発生した後に選択されたページをアクセスするためのリード／ライトコマンド、選択されたページをリフレッシュするためのリフレッシュコマンドを発生し、前記シンクロナスDRAMの品種により規定された、プリチャージコマンド、バンクアクティブコマンド、リード／ライトコマンド、およびリフレッシュコマンド間の最小規定時間を満足するように、シンクロナスDRAMの品種と動作周波数に応じて前記コマンドを発生する手段を有することを特徴とする請求項1記載のディスプレイコントローラ。

【請求項10】前記シンクロナスDRAMに格納されているイメージデータの一部を保持するキャッシュメモリをさらに具備し、  
前記リード転送制御手段は、前記連続するリード転送によって前記シンクロナスDRAMからリードしたイメージデータを前記キャッシュメモリに転送することを特徴

とする請求項5記載のディスプレイコントローラ。

【請求項11】前記メモリアクセスデバイスは、前記コンピュータシステムのCPU、前記ディスプレイコントローラ内に設けられたグラフィクスアクセラレータ、または前記ディスプレイコントローラ内に設けられた画面リフレッシュ用の表示装置であることを特徴とする請求項1記載のディスプレイコントローラ。

【請求項12】前記シンクロナスDRAMの動作モードを指定するためのモード情報を保持する手段をさらに具備し、

前記コマンド制御手段は、電源投入に応答して、前記モード情報を前記シンクロナスDRAMのモードレジスタに設定するためのモードレジスタセットコマンドを発行することを特徴とする請求項1記載のディスプレイコントローラ。

【請求項13】コンピュータシステムのディスプレイモニタを制御するディスプレイコントローラにおいて、  
表示データを格納するビデオメモリと、

メモリアクセスデバイスから前記ビデオメモリに対するライトアクセス要求が発行された時、前記メモリアクセスデバイスによって指定されたメモリアドレスに従って前記ビデオメモリをライトアクセスするライト手段と、  
前記メモリアクセスデバイスによって指定されるメモリアドレスの値を所定値単位で順次増分するアドレスカウンタと、

前記メモリアクセスデバイスから前記ビデオメモリに対するリードアクセス要求が発行された時、前記メモリアクセスデバイスによって指定されるスタートアドレス、および前記アドレスカウンタの出力値を用いて、前記ビデオメモリを所定回数連続してリードアクセスするリード手段とを具備し、

前記リード手段は、

前記所定回数の連続するリードアクセスによって同一のバウンダリ内の全ての番地がアクセスされるように、前記スタートアドレスまたは前記アドレスカウンタからのアドレス値が前記バウンダリ内の最終記憶位置に達した時に前記アドレスカウンタの値を前記バウンダリ内の先頭記憶位置に戻すラップラウンド手段を含むことを特徴とするディスプレイコントローラ。

【請求項14】コンピュータシステムのディスプレイモニタを制御するディスプレイコントローラにおいて、  
表示データを格納するビデオメモリと、

メモリアクセスデバイスから前記ビデオメモリに対するライトアクセス要求が発行された時、前記メモリアクセスデバイスによって指定されたメモリアドレスに従って前記ビデオメモリをライトアクセスするライト手段と、  
前記メモリアクセスデバイスによって指定されるメモリアドレスの値を所定値単位で順次増分するアドレスカウンタと、

前記メモリアクセスデバイスから前記ビデオメモリに対

するリードアクセス要求が発行された時、前記メモリアクセスデバイスによって指定されるスタートアドレス、および前記アドレスカウンタの出力値を用いて、前記ビデオメモリを所定回数連続してリードアクセスするリード手段とを具備し、  
前記リード手段は、  
前記所定回数の連続するリードアクセスによって異なるバウンダリ内の記憶位置がアクセスされないように、前記スタートアドレスまたは前記アドレスカウンタの出力に応じて、前記所定回数の連続するリードアクセスの実行をその中の任意のサイクルまでで終了させるリード送  
送停止手段を含むことを特徴とするディスプレイコントローラ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はディスプレイコントローラに関し、特にパーソナルコンピュータのディスプレイモニタを制御するディスプレイコントローラに関する。

【0002】

【従来の技術】近年、携帯可能なラップトップタイプまたはノートブックタイプのポータブルパーソナルコンピュータが種々開発されている。従来、この種のコンピュータに使用されるディスプレイコントローラとしては、640×480ドット程度の中解像度表示をサポートするものが主流であった。最近では、高度なグラフィカルユーザインタフェースを実現するために、例えば、1024×768ドットまたは1280×1024ドットといった高解像度表示をサポートできるディスプレイコントローラも開発されている。

【0003】このような高解像度のグラフィックス表示をサポートするディスプレイコントローラにおいては、文字や図形などの画面イメージを保持するためのビデオメモリとして、デュアルポートVRAMが良く使用されている。

【0004】デュアルポートVRAMは、互いに独立してアクセス可能なパラレルポートとシリアルポートを有している。パラレルポートはデュアルポートVRAMのメモリセルアレイをランダムアクセスするためのポートであり、表示データの更新に使用される。シリアルポートは、メモリセルアレイから1行分の表示データをシリアル出力するためのたものであり、画面リフレッシュのための表示データ読み出しに利用される。

【0005】このような構成のデュアルポートVRAMは、画面リフレッシュ処理と画像データの更新処理との競合の問題を回避できるという点で高解像度グラフィックス表示に好適である。

【0006】しかしながら、このようなデュアルポートVRAMを使用すると、パラレルポートの制御の他にシリアルポートの制御も必要となることから、ディスプレ

イコントローラ内に組み込むメモリ制御ロジックの構成が非常に複雑となる。この事は、ディスプレイコントローラを1チップLSIによって実現する上で、チップ面積の増大、コストアップという問題を引き起こす原因となっている。

【0007】そこで、最近では、デュアルポートVRAMに代わるメモリとして、シンクロナスDRAMが注目されている。シンクロナスDRAMは、シリアルポートは持たないが、パラレルポートを介したデータ転送を比較的高速に実行できるという特徴を持つ。このため、シンクロナスDRAMを使用すれば、通常のDRAMを使用した場合よりも画面リフレッシュ処理と画像データの更新処理とを高次元で両立でき、且つデュアルポートVRAMを使用した場合よりもメモリ制御ロジックを簡単化できる。

【0008】ところが、シンクロナスDRAM用の従来のメモリ制御ロジックのアーキテクチャは、シンクロナスDRAMをビデオメモリとして使用することを前提としたものではなく、あくまでシンクロナスDRAMをランダムアクセスすることを中心に設計されている。シンクロナスDRAMに対する従来のアクセス制御の手順は次の通りである。

【0009】すなわち、シンクロナスDRAMの動作状態は、全てコマンドによって制御される。コマンドには、バンクアクティブコマンド、リード/ライトコマンド、およびバンクプリチャージコマンドがある。これら3つのコマンドは、シンクロナスDRAMに対する1回のアクセスサイクルにおいて順番に発生される。

【0010】バンクアクティブコマンドは、シンクロナスDRAM内の2つのバンクのうちの1つのバンクを選択すると共に、そのバンク内のページ（行）をロウアドレスで選択してそれをアクティブにすることを指定するコマンドである。リード/ライトコマンドはページ内のカラムを指定してそれをリード/ライトするためのリード/ライトサイクルの実行を指定し、またプリチャージコマンドはリード/ライトアクセスされたページをプリチャージすることを指定するコマンドである。

【0011】本来は、プリチャージコマンドによって実行されるプリチャージサイクルは、アクセス対象のページが異なる場合にのみ行えばよく、同一ページに対する連続アクセスであれば実行する必要はない。

【0012】しかし、前述したように従来のメモリ制御ロジックはランダムアクセスを前提として設計されているため、アドレス値に応じてシンクロナスDRAMのアクセス手順を切換えるためのコマンド制御ロジックは組み込まれていない。

【0013】このため、従来では、シンクロナスDRAMに対するアクセスサイクルを繰り返し実行する場合においては、アクセス対象のページつまりロウアドレスの値に関係なく、前回のリード/ライトサイクルと次の

リード／ライトサイクルとの間には常にバンクプリチャージサイクルとバンクアクティブサイクルが挿入されていた。

【0014】したがって、従来のメモリ制御ロジックでは、シンクロナスDRAMのアクセス効率、特にシーケンシャルアクセス時のアクセス効率が悪化する問題がある。また、最近のシステムでは、PCIバスなどのような高速ローカルバスにディスプレイコントローラを接続して使用するケースが増えている。このため、ビデオメモリからシステムへのデータ読み出し動作も、バースト転送などによって高速に行なうことが望まれている。シンクロナスDRAMはバースト転送機能をチップ自体に備えているので、この点からもシンクロナスDRAMをビデオメモリとして使用することは有効である。

【0015】ところが、シンクロナスDRAM自体のバースト転送機能はその制御の自由度が低いので、表示データ更新のためのリード／ライト、画面リフレッシュのための表示データリード、などのような性質の異なる種々のアクセスが行なわれるビデオメモリとして利用する場合には実際上十分ではない。

【0016】したがって、低コストで且つ十分に高性能のディスプレイコントローラを実現するためには、前述したようなシンクロナスDRAMのアクセス手順を切換えるためのコマンド制御に加え、ビデオメモリのアクセスに適した自由度の高いバースト転送機能を、メモリ制御ロジック内に実現することが望まれる。

【0017】

【発明が解決しようとする課題】従来では、シンクロナスDRAMに対するアクセスサイクルを繰り返し実行する場合においては、前回のリード／ライトサイクルと次のリード／ライトサイクルとの間に常にバンクプリチャージサイクルとバンクアクティブサイクルが挿入されてしまい、シンクロナスDRAMのアクセス効率、特にシーケンシャルアクセス時のアクセス効率が悪化する問題があった。また、従来では、ビデオメモリアccessに好適なデータ転送機能が設けられておらず、十分なデータ転送機能を実現することができなかった。

【0018】この発明はこのような点に鑑みてなされたもので、シンクロナスDRAMのアクセス手順を切換えるためのコマンド制御やビデオメモリアccessに好適なデータ転送機能を実現するための回路をシンクロナスDRAM用のメモリ制御ロジック内に実現し、これによって低コストで且つ十分に高性能のディスプレイコントローラを提供することを目的とする。

【0019】

【課題を解決するための手段および作用】この発明は、シンクロナスDRAMをビデオメモリとして使用し、コンピュータシステムのディスプレイモニタを制御するディスプレイコントローラにおいて、前記ビデオメモリに対するイメージデータのリードまたはライトを要求する

各種メモリアccessデバイスからのリード／ライト要求に応じて、前記シンクロナスDRAMをアクセスするメモリ制御手段を具備し、このメモリ制御手段は、前回のビデオメモリアccessサイクルにおけるメモリアccessデバイスからのメモリアドレスと次のビデオメモリアccessサイクルにおけるメモリアccessデバイスからのメモリアドレスとを比較し、その比較結果に応じてページヒット／ページミスを検出するページヒット検出手段と、このページヒット検出手段の検出結果に応じて前記シンクロナスDRAMを動作制御するためのコマンドを発生するコマンド制御手段であって、ページミスが検出された時はプリチャージコマンドを発生して前回のビデオメモリアccessサイクルと次のビデオメモリアccessサイクルとの間にプリチャージサイクルを挿入し、ページヒットが検出された時は前回のビデオメモリアccessサイクルと次のビデオメモリアccessサイクルとの間にプリチャージサイクルが挿入されないように前記プリチャージコマンドの発生を禁止するコマンド制御手段とを具備することを特徴とする。

【0020】このディスプレイコントローラにおいては、シンクロナスDRAMが画面イメージを格納するビデオメモリとして使用されている。シンクロナスDRAMを制御するメモリ制御手段には、ページヒット検出手段とコマンド制御手段が設けられており、これらによってシンクロナスDRAMのアクセスサイクルをアドレス値に応じて切換えるためのコマンド発生制御が行なわれる。

【0021】すなわち、ページヒット検出手段によってページミスの発生が検出されたならば、通常通り、プリチャージコマンドが発生されて、前回のビデオメモリアccessサイクルと次のビデオメモリアccessサイクルとの間にプリチャージサイクルが挿入されるが、ページヒットであれば、プリチャージコマンドは発生されずに、直ちに次のビデオメモリアccessサイクルのためのリード／ライトコマンドが発生される。

【0022】従って、シーケンシャルアクセスの場合にはプリチャージサイクルが挿入されるのを防止でき、これによってシンクロナスDRAMを高速にアクセスすることが可能となる。

【0023】また、メモリ制御手段には、リードモードにおいてシンクロナスDRAMのリードアクセスサイクルを所定回繰り返し実行するリード転送制御手段を設ける事が好ましい。このリード転送制御手段には、メモリアccessデバイスから供給されるメモリアドレスの値を所定値単位で順次増分するアドレスカウンタを利用できる。

【0024】この構成によれば、メモリ制御手段内でメモリアドレス値が自動的にインクリメントできるので、CPU、アクセラレータ、表示回路などのメモリアccessデバイスから供給されるリードアドレスをスタートアドレ

スとして、それに続く複数の番地からデータを連続して読み出すことができる。よって、シンクロナスDRAMのリードデータ転送速度を大幅に高速化できる。特に、アドレスカウンタによるアドレス値の増分単位をディスプレイコントローラの表示モードに応じて変化させることにより、前述の高速リード転送を様々な表示モードに適用することができる。

【0025】さらに、リード転送制御手段には、所定回数の連続するリード転送によって異なるバウンダリ内の記憶位置がアクセスされるのを防止するために、アドレスカウンタの出力等に応じて前記所定回数の連続するリードアクセスサイクルの実行をその中の任意のサイクルまでで終了させるリード転送停止手段を設けることが望ましい。

【0026】これにより、高速リード転送中にページミスが生じて、ブリチャージサイクルを挿入しなければならないという事態を防止できる。したがって、このリード転送停止手段を用いた高速リード転送は、ページを跨がって1画面分の表示データをリードすることが必要な画面リフレッシュのためのリード転送に好適である。

【0027】また、リード転送停止手段の代わりに、アドレスカウンタからのアドレス値がバウンダリ内の最終記憶位置に達した時にアドレスカウンタの値をバウンダリ内の先頭記憶位置に戻すラップラウンド手段を設けても良い。このラップラウンド手段を用いることにより所定回数の連続するリードアクセスサイクルによって同一のバウンダリ内の全ての記憶位置が必ずリードアクセスされる。

【0028】ラップラウンド手段を用いた高速リード転送は、例えばCPUによる表示データリードに好適である。ほとんどのCPUによるメモリアクセスは、例えばディスプレイコントローラ内部のキャッシュやシステムのキャッシュを経由して行なわれている。したがって、ラップラウンド手段を用いた高速リード転送を用いれば、CPUからのアドレスで指定されたイメージデータを含む例えば1キャッシュライン分の表示データをキャッシュに効率良く転送することができる。

【0029】また、前述のラップラウンド手段を用いた高速リード転送は、シンクロナスDRAMに限らず、DRAMなどでビデオメモリを構成した場合においても非常に有効であり、システム性能を向上することができる。

【0030】さらに、CPUやアクセラレータによるビデオメモリに対するライトアクセスはランダムアクセスの場合が多く、またリードアクセスはシーケンシャルアクセスの場合が多いので、ライトの場合にはCPUやアクセラレータからのメモリアドレスをそのまま使用してビデオメモリをアクセスし、リードの場合にはアドレスカウンタの出力を用いたバーストリードを行な

うことが望ましい。

#### 【0031】

【発明の実施の形態】以下、図面を参照してこの発明の実施例を説明する。図1にはこの発明の一実施例に係わるディスプレイコントローラを利用した表示制御サブシステムの全体の構成が示されている。この表示制御サブシステム4は、XGA仕様に準拠したものであり、ポータブルコンピュータ本体に標準装備されるフラットパネルディスプレイ40およびポータブルコンピュータ本体に着脱自在に接続されるカラーCRTディスプレイ50双方に対する表示制御を行なう。表示制御サブシステム4は、図示のように、PCIバス3に接続されている。

【0032】表示制御サブシステム4には、ディスプレイコントローラ10、およびシンクロナスDRAM30が設けられている。これらディスプレイコントローラ10およびシンクロナスDRAM30は、図示しない回路基板上に搭載されている。

【0033】ディスプレイコントローラ10はゲートアレイによって実現される1個のLSIであり、この表示制御システム4の主要部を成す。このディスプレイコントローラ10は、ホストCPU1からの指示に従ってフラットパネルディスプレイ40およびカラーCRTディスプレイ50を制御する。また、このディスプレイコントローラ10は、バスマスタとして機能し、システムメモリ2を直接アクセスすることができる。

【0034】シンクロナスDRAM30は、クロック同期式オペレーション、コマンドによる動作モード制御、2バンクメモリセルアレイ構成という特徴を持つメモリであり、ここでは、フラットパネルディスプレイ40またはカラーCRTディスプレイ50に表示すべき画面イメージを格納するビデオメモリとして使用される。ビデオメモリを構成するシンクロナスDRAM30は、例えば、256K×16ビット構成のシンクロナスDRAMチップを2個並列接続することによって実現できる。この場合、32ビット幅単位でデータのリード/ライトが行なわれる。

【0035】XGA仕様に適合したアプリケーションプログラム等で作成されたイメージデータは、パackedピクセル方式によってシンクロナスDRAM30に格納される。このパackedピクセル方式は、メモリ上の連続する複数のビットで1画素を表す色情報マッピング形式であり、例えば、1画素を1, 2, 4, 8, 16、または24ビットで表す方式が採用されている。一方、VGA仕様のイメージデータは、VGA仕様に適合したアプリケーションプログラム等で作成されるものであり、メモリプレーン方式によってシンクロナスDRAM30に格納される。このメモリプレーン方式は、メモリ領域を同一アドレスで指定される複数のプレーンに分割し、これらプレーンに各画素の色情報を割り当てる方式である。例えば、4プレーンを持つ場合には、1画素は、各プレ

ーン毎に1ビットづつの合計4ビットのデータによって表現される。

【0036】また、シンクロナスDRAM30には、テキストデータも格納される。1文字分のテキストデータは、XGA、VGAのどちらの仕様においても、8ビットのコードと8ビットのアトリビュートからなる合計2バイトのサイズを持つ。アトリビュートは、フォアグラウンドの色を指定する4ビットデータとバックグラウンドの色を指定する4ビットデータから構成されている。

【0037】ディスプレイコントローラ10は、レジスタ制御回路11、システムバスインターフェース12、グラフィクスアクセラレータ13、メモリ制御回路14、CRTコントローラ(CRTC)16、スプライトメモリ19、シリアルライザ20、ラッチ回路21、フォアグラウンド/バックグラウンドマルチプレクサ22、グラフィック/テキストマルチプレクサ23、カラーパレット制御回路24、スプライトカラーレジスタ25、CRTビデオマルチプレクサ26、スプライト制御回路27、フラットパネルエミュレーション回路28、およびDAC(D/Aコンバータ)35から構成されている。

【0038】レジスタ制御回路11は、システムバスインターフェース12を介してPCIバス3からのアドレスおよびデータを受けとり、アドレスのデコード、およびそのデコード結果によって指定される各種レジスタに対するリード/ライト制御を行なう。

【0039】システムバスインターフェース12は、PCIバス3を介してホストCPU1とのインターフェース制御を行なうものであり、バースト転送をサポートしている。さらに、システムバスインターフェース12には、キャッシュ121が内蔵されている。このキャッシュ121は、CPU1やアクセラレータ13とシンクロナスDRAM30との間のイメージデータの転送を高速にするために利用されるものであり、シンクロナスDRAM30のイメージデータの一部を保持する。CPU1やアクセラレータ13によってリード要求されたイメージデータがキャッシュ121に存在する場合は、そのキャッシュ121からイメージデータが読み出されてCPU1またはアクセラレータ13に転送される。この場合、シンクロナスDRAM30はリードアクセスされない。

【0040】グラフィクスアクセラレータ13は、CPU1からの指示にตอบสนองして、シンクロナスDRAM30中のイメージデータに対してさまざまな描画機能を提供する。このアクセラレータ13は、BITBLT等の画素のブロック転送、線描画、領域の塗りつぶし、画素間の論理/算術演算、画面の切り出し、マップのマスク、X-Y座標でのアドレッシング、ページングによるメモリ管理機能等を有している。このアクセラレータ13には、VGA/XGA互換のデータ演算回路131、2次元アドレス発生回路131、およびページングユニ

ット133が設けられている。

【0041】データ演算回路131は、シフト、論理算術演算、ビットマスク、カラー比較等のデータ演算を行なうものであり、またVGA互換のBITBLT機能も有している。2次元アドレス発生回路131は、矩形領域アクセス等のためのX-Yの2次元アドレスを発生する。また、2次元アドレス発生回路131は、領域チェックや、セグメンテーション等を利用したリニアアドレス(実メモリアドレス)への変換処理も行なう。ページングユニット133は、CPU1と同じ仮想記憶機構をサポートするためのものであり、ページング有効時には2次元アドレス発生回路131が作ったリニアアドレスをページングによって実アドレスに変換する。また、ページング無効時にはリニアアドレスがそのまま実アドレスとなる。このページングユニット133は、ページングのためにTLBを備えている。

【0042】メモリ制御回路14はシンクロナスDRAM30をアクセス制御するためのものであり、CPU1、およびアクセラレータ13からのイメージデータのリード/ライト要求に従ってシンクロナスDRAM30をリード/ライトアクセスすると共に、CRTC16からの表示位置アドレスに従って、画面リフレッシュのためにシンクロナスDRAM30をリードアクセスする。

【0043】このメモリ制御回路14には、シンクロナスDRAM30に対するアクセス効率を高めるためのアドレス制御ロジックおよびコマンド制御ロジックが組み込まれている。これらロジックは、プリチャージサイクルの挿入無しでシンクロナスDRAM30に対する複数回のリード/ライトサイクルを連続して実行することを可能とする。また、メモリ制御回路14は、アドレスカウンタを内蔵しており、リードアドレスをスタートアドレスとしてそれに続く複数の番地からデータを連続して読み出すバーストリード転送機能を有している。

【0044】メモリ制御回路14とシンクロナスDRAM30間のデータバス幅は、PCIバス3のデータ転送幅と同じ32ビットに設定されている。このようなメモリ制御回路14の構成はこの発明の特徴とする部分であり、その詳細は図2以降で説明する。

【0045】CRTコントローラ16、スプライトメモリ19、シリアルライザ20、ラッチ回路21、フォアグラウンド/バックグラウンドマルチプレクサ22、グラフィック/テキストマルチプレクサ23、カラーパレット制御回路24、スプライトカラーレジスタ25、CRTビデオマルチプレクサ26、スプライト制御回路27、フラットパネルエミュレーション回路28、およびDAC(D/Aコンバータ)35は、画面リフレッシュのために、シンクロナスSRAM30からイメージデータをリードしてそれをビデオ信号に変換する表示制御回路を構成する。

【0046】CRTコントローラ(CRTC)16は、



フラットパネルディスプレイ 40 または CRT ディスプレイ 50 を制御するための各種表示タイミング信号（水平同期信号、垂直同期信号等）や、シンクロナス DRAM 30 から画面表示すべきイメージデータを読み出すための表示アドレスを発生する。

【0047】スプライトメモリ 19 には、グラフィクスモードではスプライトデータ、テキストモードではフォントが書き込まれる。テキストモードでは、シンクロナス DRAM 30 から読み出されたテキストデータのコードがインデックスとしてスプライトメモリ 19 に供給され、そのコードに対応するフォントが読み出される。

【0048】シリアルライザ 20 は、シンクロナス DRAM 30 から読み出された複数画素分のパラレルピクセルデータをピクセル単位（シリアル）に分割して出力するためのパラレル／シリアル変換回路であり、グラフィクスモードでは、シンクロナス DRAM 30 から読み出されるイメージデータとスプライトメモリ 19 から読み出されるスプライトデータをそれぞれパラレル／シリアル変換し、テキストモードでは、スプライトメモリ 19 から読み出されるフォントデータをパラレル／シリアル変換する。

【0049】ラッチ回路 21 は、コードデータからフォントデータへの変換の遅れ時間だけアトリビュートの出力タイミングを遅延させるためのものであり、テキストモードにおいてシンクロナス DRAM 30 から読み出されるテキストデータのアトリビュートを保持する。フォアグラウンド／バックグラウンドマルチプレクサ 22 は、テキストモードにおいてアトリビュートのフォアグラウンド色（前面色）／バックグラウンド色（背景色）の一方を選択する。この選択は、シリアルライザ 20 から出力されるフォントデータの値“1”（フォアグラウンド），“0”（バックグラウンド）によって制御される。グラフィック／テキストマルチプレクサ 23 は、グラフィクスモードとテキストモードの切替えを行なうためのものであり、グラフィクスモードにおいてはシリアルライザ 20 から出力されるメモリデータを選択し、テキストモードにおいてはフォアグラウンド／バックグラウンドマルチプレクサ 22 の出力を選択する。

【0050】カラーパレット制御回路 24 は、グラフィクスまたはテキストデータの色変換を行なうためのものである。このカラーパレット制御回路 24 は、2 段構成のカラーパレットテーブルを備えている。第 1 のカラーパレットテーブルは、16 個のカラーパレットレジスタから構成されている。各カラーパレットレジスタには、6 ビットのカラーパレットデータが格納されている。第 2 のカラーパレットテーブルは、256 個のカラーパレットレジスタから構成されている。各カラーパレットレジスタには、R、G、B それぞれ 8 ビットから構成される 24 ビットのカラーデータが格納されている。

【0051】グラフィクスモードにおいては、8 ビット

／ピクセルの XGA 仕様のメモリデータは、第 1 のカラーパレットテーブルを介さずに、第 2 のカラーパレットテーブルに直接送られ、そこで R、G、B それぞれ 8 ビットから構成されるカラーデータに変換される。また、4 ビット／ピクセルの VGA 仕様のメモリデータは、まず第 1 のカラーパレットテーブルに送られ、そこで 6 ビットのカラーデータに変換されて出力される。そして、この 6 ビットのカラーデータには、カラーパレット制御回路 19 内蔵のカラー選択レジスタから出力される 2 ビットデータが加えられ、これにより合計 8 ビットのカラーデータとなる。この後、その 8 ビットのカラーデータは、第 2 のカラーパレットテーブルに送られ、そこで R、G、B それぞれ 8 ビットから構成されるカラーデータに変換される。

【0052】一方、テキストモードにおいては、XGA、VGA どちらの仕様のテキストデータも、第 1 および第 2 の 2 段のカラーパレットテーブルを介して、R、G、B それぞれ 8 ビットから構成されるカラーデータに変換される。

【0053】また、XGA のグラフィクスモードにおいては、1 画素が 16 ビットまたは 24 ビットから構成されるダイレクトカラーモードがあり、この場合には、そのピクセルデータは、カラーパレット制御回路 24 を介さずに、CRT ビデオマルチプレクサ 26 に直接供給される。

【0054】スプライトカラーレジスタ 25 は、ハードウェアカーソルなどのスプライト表示色を指定するスプライト表示データを格納する。CRT ビデオマルチプレクサ 26 は、CRT ビデオ表示出力を選択するものであり、カラーパレット制御回路 24 の出力、シリアルライザ 20 からのダイレクトカラー出力、スプライト表示データ、または外部ビデオデータの選択を行なう。この選択動作は、CRT C 16 からの表示タイミング信号によって制御される。外部ビデオデータは、例えば表示制御システム 4 の外部から入力される動画などのビデオデータである。スプライト制御回路 27 は、シリアルライザ 20 によってパラレル／シリアル変換されたスプライトデータに従ってスプライトカラーレジスタ 25 のスプライト表示データを出力する。

【0055】フラットパネルエミュレーション回路 28 は、CRT ビデオ出力を変換してフラットパネルディスプレイ 40 用のフラットビデオデータを生成する。DAC 35 は、CRT ビデオマルチプレクサ 26 から出力される CRT ビデオデータをアナログ R、G、B 信号に変換して CRT ディスプレイ 50 に供給する。

【0056】次に、図 2 を参照して、メモリ制御回路 14 の具体的な構成を説明する。メモリ制御回路 14 は、イメージデータのリード／ライトを要求する複数のメモリアクセスデバイス（CPU 1、アクセラレータ 13、表示回路）それぞれからメモリアドレス（ADDRESS



S)、アクセスモード(MODE)、データ(DATA)を受け取り、シンクロナスDRAMのアクセスに必要なコマンドを発行する。アクセスモード(MODE)は、リード/ライトの種別の指定、およびメモリ制御回路14が有する3つのリードモード(シングルモード、バウダリストップモード、ラップラウンドモード)の1つを選択するために利用される。

【0057】メモリ制御回路14は、図示のように、アービタ141、マルチプレクサ142、アドレス制御回路143、およびコマンド制御回路144を備えている。アービタ141は、複数のメモリアクセスデバイスによるビデオメモリアクセスの競合を調停するためのロジックであり、それら複数のメモリアクセスデバイスから出力されるビデオメモリアクセス要求(REQ)の中の1つを選択し、そのデバイスに対してアクセス許可信号(ACK)を発行する。

【0058】マルチプレクサ142は、複数のメモリアクセスデバイスそれぞれからのメモリアドレス(ADDRESS)、アクセスモード(MODE)、およびデータ(DATA)の中から、アービタ141によってアクセス許可されたデバイスからのメモリアドレス(ADDRESS)、アクセスモード(MODE)、およびデータ(DATA)を選択する。

【0059】アドレス制御回路143は、シンクロナスDRAM30に与えるアドレス値を制御するためのロジックであり、マルチプレクサ142によって選択されたメモリアドレスをシンクロナスDRAM30の物理アドレスADRS(ロウアドレス、カラムアドレス)に変換する。また、アドレス制御回路143は、前回のメモリアクセスサイクルにおけるロウアドレスを保持し、そのロウアドレスと今回のメモリアクセスサイクルにおけるロウアドレスとの一致の有無に応じてページヒット/ミス判定する。ページミスならばバンクイネーブル要求信号BEQが発生されるが、ページヒットならばバンクイネーブル要求信号BEQは発生されない。

【0060】ここで、ページヒットとは、前回のメモリアクセスサイクルにおけるロウアドレスと今回のメモリアクセスサイクルにおけるロウアドレスとが一致すること、つまりシンクロナスDRAM30の同一バンクにおける同一ページが連続してアクセスされることを意味する。一方、ページミスとは、前回のメモリアクセスサイクルにおけるロウアドレスと今回のメモリアクセスサイクルにおけるロウアドレスとが一致しないこと、つまり前回と今回とでシンクロナスDRAM30の異なるバンク、または同一バンクにおける異なるページがアクセスされることを意味する。

【0061】さらに、アドレス制御回路143は、シンクロナスDRAM30を連続アクセスするためのバースト転送機能を実現するために、アドレスカウンタを有している。このアドレスカウンタは、マルチプレクサ14

2によって選択されたメモリアドレスに対応するカラムアドレスの値を順次インクリメントして、複数の連続したカラムアドレスを生成する。この連続アドレスは、シンクロナスDRAM30をリードアクセスする場合に利用される。一方、シンクロナスDRAM30をライトアクセスする場合においては、マルチプレクサ142によって選択されたメモリアドレスがそのまま利用され、アドレスカウンタは利用されない。

【0062】コマンド制御回路144は、シンクロナスDRAM30を動作制御するための各種コマンドを発生する。これらコマンドには、バンクアクティブコマンド、リード/ライトコマンド、およびバンクプリチャージコマンドがある。

【0063】バンクアクティブコマンドは、シンクロナスDRAM30内の2つのバンクのうちの1つのバンクを選択すると共に、そのバンク内のページ(行)をロウアドレスで選択してそれをアクティブにすることを指定するコマンドである。リード/ライトコマンドは、ページ内のカラムを指定してそれをリード/ライトするためのリード/ライトサイクルの実行を指定するコマンドである。バンクプリチャージコマンドは、リード/ライトアクセスされたページをプリチャージすることを指定するコマンドである。

【0064】コマンド制御回路144によるこれらコマンドの発生は、アドレス制御回路143からのバンクイネーブル要求信号(BEQ)によって制御される。すなわち、シンクロナスDRAM30に対するリードライトサイクルを複数回実行する場合において、もしページミスが発生したならば、前回のリード/ライトサイクルが終了してからバンクプリチャージコマンドおよびバンクアクティブコマンドが発生された後に、次のリード/ライトサイクルのためのリード/ライトコマンドが発生される。一方、ページヒットであれば、前回のリード/ライトサイクル終了後、直ぐに次のリード/ライトサイクルのためのリード/ライトコマンドが発生される。このようなコマンド発生シーケンスの切り替わりの様子を図3に示す。図3から分かるように、ページミスの場合には、前回のリードライトサイクルと次のリードライトサイクルとの間にバンクプリチャージサイクルとバンクアクティブサイクルが必ず挿入されるが、ページヒットの場合には、バンクプリチャージサイクルおよびバンクアクティブサイクルは省略される。

【0065】さらに、コマンド制御回路144から発生されるコマンドには、モードレジスタセットコマンドもある。このモードレジスタセットコマンドは、シンクロナスDRAM30の動作モードを初期設定するためのコマンドであり、システムの電源投入やシステムリセット時にリセット信号の解除にตอบสนองして発生される。これによりシンクロナスDRAM30内のモードレジスタに、CAS遅延量(2クロック、3クロック、または4クロ

ック)、アドレッシングモード(シーケンシャルモード、またはインタリーブモード)、バーストモード(バースト長=0, 2, 4, または8)の内容を指定するモード情報が設定される。このモード情報の内容はレジスタ145に予め格納されており、リセット信号の解除に  
10 応答してアドレス制御回路143からのアドレスADRSによってシンクロナスDRAM30に通知され、そのシンクロナスDRAM30内のモードレジスタに設定される。

【0066】ここで、シーケンシャルモードとは、シンクロナスDRAM30の2つのバンクに含まれる全てのページに対してシーケンシャルにアドレスを配置するモードである。このシーケンシャルモードでは、2つのバンクが同時に動作することはない。また、インタリーブモードは、シンクロナスDRAM30の2つのバンクの一方のプリチャージサイクル中に他方のバンクのアクティブサイクルを実行できるように、ページ単位で2つのバンクに交互にアドレスを配置するモードである。この  
20 インタリーブモードは2つのバンクの同時動作を可能にするので、シーケンシャルモードよりも高速アクセスが可能となるが、その分だけ電力消費も多くなる。シーケンシャルモードとインタリーブモードのどちらのモードにおいても、前述したページヒット判定によるコマンド発生  
の制御を適用することができる。

【0067】しかし、インタリーブモードを使用しなくてもこの実施例のページヒット判定によるコマンド発生制御だけでアクセス効率を十分に高めることができるので、電力消費を低減する観点から、この実施例ではシーケンシャルモードを利用することにする。

【0068】バーストモードは、シンクロナスDRAM30自体のアドレスインクリメント機能を利用してバースト転送を行なうモードである。この実施例では、アドレス制御回路143のアドレスカウンタを利用してバースト転送を行なうので、シンクロナスDRAM30のバーストモードは利用しない。したがって、シンクロナスDRAM30の初期設定時には、バースト長=0に設定  
30 される。

【0069】次に、図4を参照して、アドレス制御回路143の具体的な構成を説明する。図4に示されているように、アドレス制御回路143には、ページヒット検出回路201、アドレスカウンタ202、アドレスマルチプレクサ203、ラッチ回路204などが含まれている。  
40

【0070】ページヒット検出回路201は、ラッチ回路201a、およびロウアドレスコンパレータ201bを備えている。ラッチ回路201aは、前回のメモリアクセスサイクルにおけるロウドレス(RA)を保持する。ロウアドレスコンパレータ201bは、ラッチ回路201aで保持されている前回のメモリアクセスサイクルにおけるロウドレス(RA)と、ラッチ回路204で  
50

保持されている現在のメモリアクセスサイクルにおけるロウドレス(RA)とを比較する。ラッチ回路201aで保持されているロウアドレスの値は、ロウアドレスコンパレータ201bによってページミスが検出された時、その時にラッチ回路204で保持されている現在のメモリアクセスサイクルにおけるロウドレス(RA)に  
切換えられる。

【0071】アドレスカウンタ202は、インクリメント定数マルチプレクサ202a、アドレス加算器202b、カラムアドレスマルチプレクサ202c、およびフリップフロップ202dを備えている。

【0072】インクリメント定数マルチプレクサ202aは、アドレスカウンタ202によるアドレスカウントアップ単位を規定するために、3つのインクリメント定数(+1、+2、+4)の中の1つを選択する。この選択動作は、CPU1によって指定されたディスプレイモードに応じて自動的に行なわれる。

【0073】アドレス加算器202bは、シンクロナスDRAM30に供給するカラムアドレスの値を順次カウントアップするために、フリップフロップ202dによって保持されているカラムアドレスマルチプレクサ202cの出力値に、インクリメント定数マルチプレクサ202aによって選択されたインクリメント定数を加算する。

【0074】カラムアドレスマルチプレクサ202cは、シンクロナスDRAM30に供給するアドレスを切換えるために、モードレジスタ145のモード情報、ロウアドレスRA、カラムアドレスCA、およびアドレスカウンタ出力CAXの中の1つを選択してシンクロナスDRAM30にADRAとして供給する。このカラムアドレスマルチプレクサ202cのアドレス選択動作とメモリアクセスサイクルとの関係を図5に示す。

【0075】図5に示されているように、シンクロナスDRAM30を初期設定するためのモード設定サイクルにおいてはモードレジスタ145のモード情報が選択される。また、シンクロナスDRAM30のバンクを選択するバンクアクティブサイクルにおいては、マルチプレクサ142によって選択されたメモリアドレスに含まれるロウアドレスRAが選択される。ライトアクセスサイクルにおいては、マルチプレクサ142によって選択されたメモリアドレスに含まれるカラムアドレスCAが選択される。シングルリードアクセスサイクルにおいては、マルチプレクサ142によって選択されたメモリアドレスに含まれるカラムアドレスCAが選択される。バーストリードアクセスサイクルにおいては、1回目のリードサイクルではマルチプレクサ142によって選択されたメモリアドレスに含まれるカラムアドレスCAが選択されるが、2回目の以降のリードサイクルではアドレスカウンタ202の出力CAXが選択される。

【0076】次に、図6のタイミングチャートを参照し

て、シンクロナスDRAM30に対するイメージデータのリード/ライトアクセス動作を説明する。ここでは、連続する4回のリード/ライト転送をメモリサイクルの最小単位とし、その4回のリード/ライト転送においては必ず同一ページがアドレス指定される場合を想定して説明する。

【0077】メモリ制御回路14は、まず、シンクロナスDRAM30に対してバンクアクティブコマンドBAを発生して、ロウアドレスを指定する。この場合、マルチプレクサ142によって選択されたメモリアドレスの上位ビット部からなるロウアドレスの値Raが、アドレスマルチプレクサ203によって選択される。

【0078】この後、メモリ制御回路14は、シンクロナスDRAM30に対してリード/ライトコマンド(R/W)を発生すると共に、カラムアドレスを指定する。この場合、マルチプレクサ142によって選択されたメモリアドレスの下位ビット部からなるカラムアドレスの値a1が、アドレスマルチプレクサ203によって選択される。カラムアドレスが指定されると、シンクロナスDRAM30はリード/ライト動作を開始する。

【0079】メモリ制御回路14は、カラムアドレスを順次指定し直しながら、シンクロナスDRAM30に4回のリード/ライト動作を実行させる。この場合、カラムアドレスa2~a4としては、ライトモードではマルチプレクサ142によって選択されるメモリアドレスの下位ビット部からなるカラムアドレスCAが使用され、リードモードではアドレスカウンタ出力CAXが使用される。これにより、4回のリード/ライト転送を含むメモリサイクルが終了する。

【0080】4回目のリード/ライト転送と並行して、次のメモリサイクルのためのロウアドレスの値Rbと前回のメモリサイクルにおけるロウアドレスの値Raとの一致の有無がページヒット検出回路201によって調べられる。ページミスであれば、ページヒット検出回路201からバンクイネーブル要求信号(BEQ)が発生される。そして、コマンド制御回路144によって前回のメモリサイクルでアクセスされたページをプリチャージするためのバンクプリチャージコマンドPR、および次のメモリアクセスサイクルでアクセスされるバンクおよびページを指定するためのバンクアクティブコマンドBAが発生される。バンクアクティブコマンドBAが発生された時、マルチプレクサ142によって選択された新たなメモリアドレスの上位ビット部からなるロウアドレスの値Rbが、アドレスマルチプレクサ203によって選択される。

【0081】この後、メモリ制御回路14は、シンクロナスDRAM30に対してリード/ライトコマンド(R/W)を発生すると共に、カラムアドレスを指定する。この場合、マルチプレクサ142によって選択されたメモリアドレスの下位ビット部からなるカラムアドレスの

値b1が、アドレスマルチプレクサ203によって選択される。カラムアドレスが指定されると、シンクロナスDRAM30はリード/ライト動作を開始する。

【0082】メモリ制御回路14は、カラムアドレスを順次指定し直しながら、シンクロナスDRAM30に4回のリード/ライト動作を実行させる。この場合、カラムアドレスa2~a4としては、ライトモードではマルチプレクサ142によって選択されるメモリアドレスの下位ビット部からなるカラムアドレスCAが使用され、リードモードではアドレスカウンタ出力CAXが使用される。これにより、4回のリード/ライト転送を含む2回目のメモリサイクルが終了する。

【0083】2回目のメモリサイクルにおける4回目のリード/ライト転送と並行して、次のメモリサイクルのためのロウアドレスの値Rcと前回のメモリサイクルにおけるロウアドレスの値Rbとの一致の有無がページヒット検出回路201によって調べられる。ページヒットであれば、ページヒット検出回路201からバンクイネーブル要求信号(BEQ)は発生されない。そして、コマンド制御回路144によって直ぐに次のメモリサイクルのためのリード/ライトコマンド(R/W)が発生されると共に、カラムアドレスが指定される。

【0084】このように、ページヒットの場合には、プリチャージサイクルおよびバンクアクティブコマンドは挿入されないで、メモリアクセス効率を高めることができる。

【0085】次に、メモリ制御回路14がサポートする3つのリードモード(シングルモード、バウンダリストップモード、ラップラウンドモード)について説明する。前述したように、リードモードでは、スタートアドレスを指定すると、それ以降のアドレスがアドレスカウンタ202によって自動的に生成されて所定回数(例えば、4回)のリード転送が行なわれる。

【0086】[シングルリードモード] このモードは指定したスタートアドレスのリード転送を1回だけ行なってメモリサイクルを終了するモードである。

【0087】[バウンダリストップモード] このモードは、4回のリード転送を最小メモリサイクルとするバースト転送モードの1つであるが、その4回のリード転送によって異なるバウンダリ内の記憶位置がアクセスされないように、カラムアドレスの値に応じて、4回の連続するリード転送の実行をその中の任意の転送サイクルまでで終了させるモードである。

【0088】ここでは、1回のリード転送で読み出されるデータサイズは32ビット(ダブルワード)であり、1回のリードサイクルで4回のリード転送が行なわれるので、1つのバウンダリは4ダブルワード(=32ビット×4)となる。各バウンダリの最初の番地のダブルワードデータはカラムアドレスの下位2ビット="00"で指定され、第2番目の番地のダブルワードデータは

“01”、第3番目の番地のダブルワードデータは“10”、最後の番地のダブルワードデータは“11”で指定される。

【0089】したがって、カラムアドレスの下位2ビットが“11”になると、それ以降のアドレスインクリメントは実行されず、そこでサイクルが終了される。図7には、このバウンダリストップモードにおけるメモリサイクルとスタートアドレスとの関係が示されている。

【0090】図7のサイクル1では、スタートアドレスに含まれるカラムアドレスの下位2ビットが“01”であるので、リード転送は3回で打ち切られる。サイクル2およびサイクル3では、スタートアドレスに含まれるカラムアドレスの下位2ビットが“00”であるので、4回のリード転送が全て実行される。

【0091】このバウンダリストップモードを利用すれば、4回のリード転送によって異なるバウンダリ内の記憶位置がアクセスされることがない。したがって、アドレスをインクリメントしている途中でカラムアドレスからロウアドレスへの桁上がりが生じ、メモリサイクル中にページミスが発生するという事態を防止できる。

【0092】よって、このバウンダリストップモードは、ページを跨がって1画面分の表示データをリードすることが必要な画面リフレッシュのためのリード転送に好適である。

【0093】図9は4回のバウンダリストップ転送を示すタイミングチャートである。同図において、(a)はクロック信号を、(d)はロウアドレス信号を、(e)はカラムアドレス信号を、(j)はサイクルの終了を示すRD\_LAST信号である。その他の信号は図4に示すアドレス制御回路により生成される内部の生成信号であり、ここでは直接関係無いのでその説明を省略する。

このタイミングチャートでは、(e)に示すカラムアドレスa1、a2が出力されたところでアドレスがバウンダリ境界に來たと判断し、(k)に示すようにサイクルの打ち切りを示すRD\_LAST信号が出力される。この結果、4回リードするところ、2回でリードを終了する。そして、(l)に示すように、プリチャージコマンドおよびバンクアクティブコマンドが出力される。そして、次のサイクル(ロウアドレスR)では、初期アドレス(カラムアドレスb1)からスタートするので、

(1)に示すように4回のリード転送がすべて実行される。

【0094】[ラップラウンドモード] このモードはCPUリードに適したモードである。CPUによるメモリアクセスはリードバッファを経由して行われている。CPUはメモリデータを読み出すときに、まずそのデータをリードバッファに読み出して、それから、そのデータと同一バウンダリ内にある他のデータも一緒にまとめて読み出しておく。そしてその後バッファから始めのデータを読み出す。次のデータ読み出しの時には、リードア

ドレスとバッファに転送されているデータのアドレスを比較して、ヒットした場合は、バッファから直接そのデータを読み出し、ミスした場合にはSDRAMに対して同様のリードアクセスを要求する。このため、このモードでは、デバイスより渡されたアドレスをスタートアドレスとしてそれと同一バウンダリである4WDのデータ(下位2ビットのみが異なるような番地のデータ)を全てアクセスできるようなラップラウンドアドレスを作り出している。

【0095】このモードは、バウンダリストップモードと同様に4回のリード転送を最小メモリサイクルとするバースト転送モードの1つであるが、カラムアドレスの下位2ビットが“11”になった時、それを“00”に戻してアドレスカウンタ202によるアドレスインクリメント動作を続けるモードである。このラップラウンドモードによって発生されるアドレス値とスタートアドレスとの関係の一例を図8に示す。

【0096】図8において、ケース1では、スタートアドレスが4×ダブルワードバウンダリの先頭番地を指定する値“0000”であるので、ラップラウンドは実行されず、スタートアドレスに後続する連続した3つのアドレス値“0001”、“0010”、“0011”がアドレスカウンタ202によって発生される。

【0097】ケース2では、スタートアドレスが4×ダブルワードバウンダリの最終番地を指定する値“0011”であるので、アドレスカウンタ202の出力値は“0000”に戻され、そこからカウントアップが開始される。よって、スタートアドレス“0011”に引き続き、スタートアドレスよりも若い3つのアドレス値“0000”、“0001”、“0010”がアドレスカウンタ202によって発生される。

【0098】ケース3では、スタートアドレスが4ダブルワードバウンダリの3番目の番地を指定する“1010”であるのでアドレスカウンタ202の出力値は4番目の番地である“1011”がアドレスカウンタ202により発生され、1番目の番地“1000”に戻され、2番目の番地“1001”が発生される。同様にして、ケース4ではスタートアドレスが4ダブルワードバウンダリの2番目の番地を指定する“1001”であるのでアドレスカウンタ202の出力値は3番目の番地である“1010”が発生され、さらに4番目の番地である“1011”が発生される。

【0099】図10は4回のラップラウンド転送を示すタイミングチャートである。図10(e)に示すようにカラムアドレスa1、a2、a3、a4が出力される。

(例えば図8に示すケース3の場合にはa1=“1010”、a2=“1011”、a3=“1000”、a4=“1001”が出力される。)そして、サイクルの終了を示すRD\_LAST信号はカラムアドレスa4が出力された時点で出力される。この結果、図10(1)に

示すように、同一バウンダリ内にある4ドのデータがリードされる。

【0100】このように、ラップラウンドモードを利用すれば、4回のリード転送によって同一バウンダリ内の全ての記憶位置のデータを読み出すことができる。このラップラウンドモードは、CPU1またはアクセラレータ13によるイメージデータのリードに好適である。これは、次の理由による。

【0101】すなわち、CPU1またはアクセラレータ13によるイメージデータのリードにおいては、シンクロナスDRAM30から読み出されたイメージデータは一旦キャッシュメモリ121に保持され、そのキャッシュメモリ121からCPU1またはアクセラレータ13に転送される。

【0102】CPU1またはアクセラレータ13による次のリードアクセスでは、キャッシュヒット/ミスが判定され、キャッシュヒットであればシンクロナスDRAM30のリードアクセスは行なわれずに、キャッシュメモリ121から直ぐにデータが読み出される。ミスヒットであれば、シンクロナスDRAM30に対するリードサイクルが実行され、CPU1またはアクセラレータ13からのスタートアドレスで指定されたイメージデータを含む1キャッシュライン分のイメージデータ（4ダブルワード）を効率良くキャッシュ121に転送することができる。

【0103】なお、ディスプレイコントローラ内にキャッシュを持たない表示制御サブシステムの場合には、シンクロナスDRAM30から連続して読み出される4ダブルワードのイメージデータは、システム内の1次キャッシュ、または2次キャッシュ、もしくは、それに相当する各種バッファなどを経由して、CPU1に転送されることになる。したがって、ラップラウンドモードは、キャッシュを持たない表示制御サブシステムにも適用することができる。

【0104】[テキストリードモード] このモードではデータの上位ワード（16ビット）と下位ワード（16ビット）を時分割で読み出されるように構成されている。これは、図11に示すように上位ワードにフォントデータが格納され、下位ワードにキャラクターコードおよび属性データが格納されている。このため別々に読み出す必要がある。

【0105】図12は4回テキストリードを示すタイミングチャートである。テキストデータの場合、コードデータは連続したアドレスであるが、フォントデータはランダムなアドレスであり、このため、コードに対するアクティブコマンドおよびフォントデータに対するアクティブコマンドが別々に出力され、リードも同図（i）および（w）に示すようにコードのリードとフォントデータのリードが別々に行われる。なお、（i）および

（w）に示すP fはオートプリチャージ信号である。上

述したようにコードデータは連続しているのでヒットする確率が高いが、フォントデータはランダムなので、ミスヒットする確率が高い。このため、ミスヒットを判定してからバンクプリチャージコマンドを出力すると、時間的に遅れを生じるので、通常のバンクプリチャージコマンドとは別に、read with autoprecharge というコマンドが実行される。このread with autoprecharge のコマンドはSDRAMのメモリリード/ライトコマンドの1つとしてSDRAMとして備わっているものである。

【0106】[ランダムライトモード] このモードではライトサイクル中、次のリクエストが何も来なければプリチャージサイクルが実行される。

【0107】図13は4回のランダムライト転送を示すタイミングチャートである。同図（h）に示すようにライトコマンドのリクエストが出力されて、（i）に示すライトサイクルの終了を示すWT\_LASTの信号がされ、（j）に示す4回目のライトコマンドが出力されたときに、次のライトコマンドのリクエストが出力されていなければ、プリチャージサイクル（PR）が実行される。

【0108】[コンティニュースライトモード] 図14は4回のコンティニュースライト転送を示すタイミングチャートである。

【0109】このモードはアクセラレータのライト転送の中のBit Bltと呼ばれる矩形転送のように、連続的にライト転送することがわかっている時に適するモードである。このモードを指定すると、ライト転送を連続して行うという情報が与えられて図14（i）に示すようにライトサイクル終了後に、プリチャージサイクルは挿入されず、次のリクエストを待つ。

【0110】図15は図2に示すコマンド制御回路144に含まれる、SDRAMの動作スペックを満足させるための回路である。SDRAMに対して出力される。アクティブコマンド、プリチャージコマンド、リフレッシュコマンド、リードライトコマンド等のコマンド間には、満足させなければならない最小時間が規定されている。これらの規定時間はSDRAMの品種により異なる値を取る。図15に示す制御回路は使用するSDRAMの品種と動作周波数を指定するだけで、規定を満足するようなアクセスを可能とする。

【0111】図15に示す制御回路は、内部動作が次の状態に移移すると同時にSDRAMに対するコマンドを発生させるように制御しており、さらに内部に複数のカウンタを持ち各コマンド発生からの時間をカウントしている。いま次の状態への遷移条件の中にカウンタの出力が規定時間を満足した値になっている（PAS\*）ことを加えることによって、規定時間を満足したアクセスの流れを実現している。

【0112】図15においてカウンタ1441はバンクアクティブコマンドに応答してカウントを開始する。カ

10

20

30

40

50

ウンタ 1 4 4 1 の出力はコマンドが発生してから現在までの経過時間を示している。ゲート回路 1 1 4 3 は、種々の SDRAM の規定値を満足する信号を出力する。例えば、バンクアクティブコマンドが出力されてから 2 クロック目にリードライトコマンドを出力するように規定された SDRAM の場合には、カウンタ 1 4 4 1 が 2 クロックカウントすると "1" 信号を出力する。ゲート回路 1 1 4 3 からの各信号はマルチプレクサ 1 4 4 5 に出力される。レジスタ 1 4 4 7 には、SDRAM の品種及び動作周波数に応じた値が設定される。マルチプレクサ 1 4 4 5 はレジスタ 1 4 4 7 からの値に応じて対応する出力を、次の状態に移移するための条件信号 (PAS\*) として出力する。

【0 1 1 3】図 1 6 はメモリ制御回路 1 4 の内部動作の状態を示す図である。パワーオンの状態では SDRAM 3 0 の動作が開始される。SDRAM レジスタセットの状態では SDRAM のモードレジスタセットが実行される。セルフリフレッシュはセルフリフレッシュが実行中の状態である。アイドルはデバイスからのリクエスト待ち状態を示す。バンクチェックはバンク比較を行う状態である。オートリフレッシュはオートリフレッシュを実行中の状態である。ACK プリチャージはリクエストが受け付けられ、プリチャージが実行中であることを示す状態である。バンクアクティブはバンクアクティブ実行中を示す状態である。ライトはライト転送実行中を示す状態である。リードはリード転送実行中を示す状態である。ウェイトはリードデータの出力の終了待ちを示す状態である。NOP プリチャージはリクエストが無く、プリチャージ実行の状態を示す。図 1 7 は図 1 6 に示す各状態の状態遷移図である。また、図 1 8 は図 1 7 に示す状態遷移の遷移条件を示したものである。

#### 【0 1 1 4】

【発明の効果】以上説明したように、この発明によれば、シンクロナス DRAM のアクセス手順を切換えるためのコマンド制御ロジックがシンクロナス DRAM 用のメモリ制御ロジック内に実現されている。このため、シーケンシャルアクセスの場合にはプリチャージサイクルが挿入されるのを防止でき、これによってシンクロナス DRAM を高速にアクセスすることが可能となる。

【0 1 1 5】また、メモリ制御手段内でメモリアドレス値が自動的にインクリメントできるので、CPU、アクセラレータ、表示回路などのメモリアクセスデバイスから供給されるリードアドレスをスタートアドレスとして、それに続く複数の番地からデータを連続して読み出すことができる。よって、シンクロナス DRAM のリードデータ転送速度を大幅に高速化できる。

#### 【図面の簡単な説明】

【図 1】この発明の一実施例に係るディスプレイコント

ローラを用いた表示制御サブシステムの構成を示すブロック図。

【図 2】同実施例のディスプレイコントローラに設けられたメモリ制御回路の構成を示すブロック図。

【図 3】同実施例のディスプレイコントローラにおけるシンクロナス DRAM に対するアクセス制御の手順を説明するための図。

【図 4】図 2 のメモリ制御回路に設けられたアドレス制御回路の構成を示すブロック図。

【図 5】図 4 のアドレス制御回路によるアドレス選択動作を説明するための図。

【図 6】同実施例のディスプレイコントローラによるシンクロナス DRAM のアクセス動作を説明するタイミングチャート。

【図 7】同実施例のディスプレイコントローラにおいてシンクロナス DRAM をリードアクセスする時に使用されるバウンダリストップモードを説明するための図。

【図 8】同実施例のディスプレイコントローラにおいてシンクロナス DRAM をリードアクセスする時に使用されるラップラウンドモードを説明するための図。

【図 9】4 回のバウンダリストップ転送を示すタイミングチャート。

【図 1 0】4 回のラップラウンド転送を示すタイミングチャート。

【図 1 1】テキストデータの格納状態を示す図。

【図 1 2】コードデータとフォントデータのペアの転送を 4 回行う 4 回テキストリードのタイミングを示すタイミングチャート。

【図 1 3】4 回のランダムライト転送を示すタイミングチャート。

【図 1 4】4 回のコンティニユアスライト転送を示すタイミングチャート。

【図 1 5】各種 SDRAM の仕様により規定されるタイミング時間を満足するようにコマンドを発生させるための制御回路を示すブロック図。

【図 1 6】メモリ制御回路 1 4 の内部動作の状態を示す図。

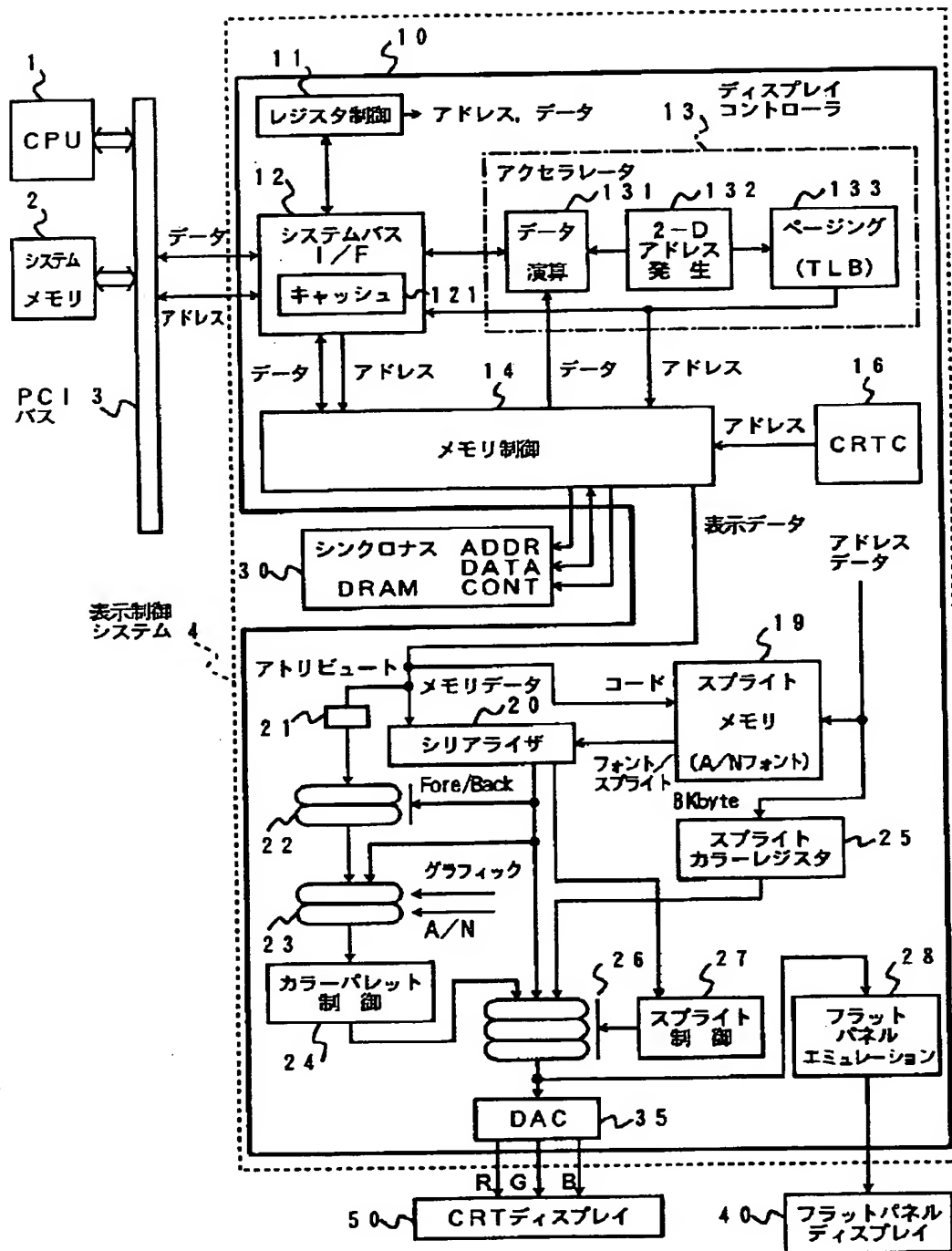
【図 1 7】図 1 5 に示す各状態の状態遷移図である。

【図 1 8】図 1 7 に示す状態遷移の遷移条件を示す図である。

#### 【符号の説明】

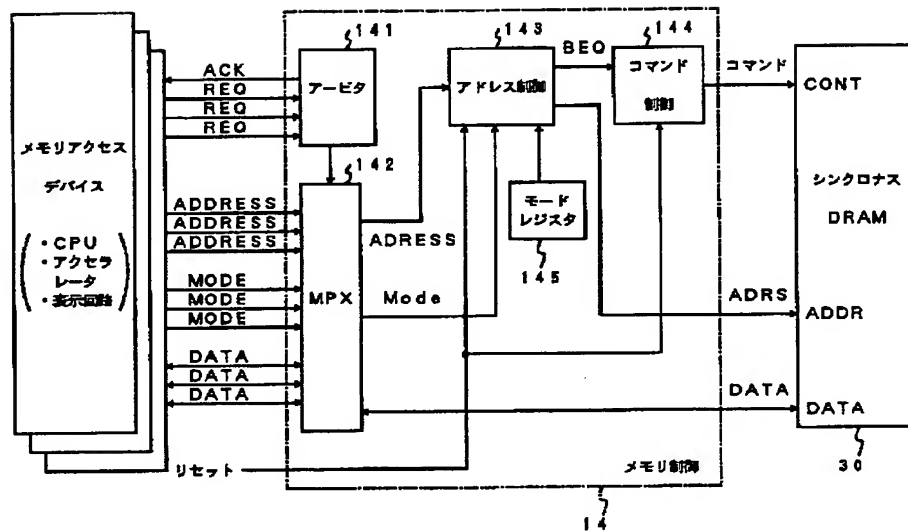
1...CPU、1 0...ディスプレイコントローラ、1 3...アクセラレータ、1 4...メモリ制御回路、3 0...シンクロナス DRAM、1 2 1...キャッシュメモリ、1 4 1...アービタ、1 4 2...マルチプレクサ、1 4 3...アドレス制御回路、1 4 4...コマンド制御回路、2 0 1...ページヒット検出回路、2 0 2...アドレスカウンタ。

【図 1】

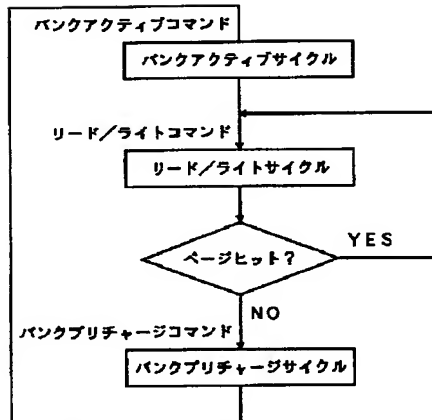




【図 2】



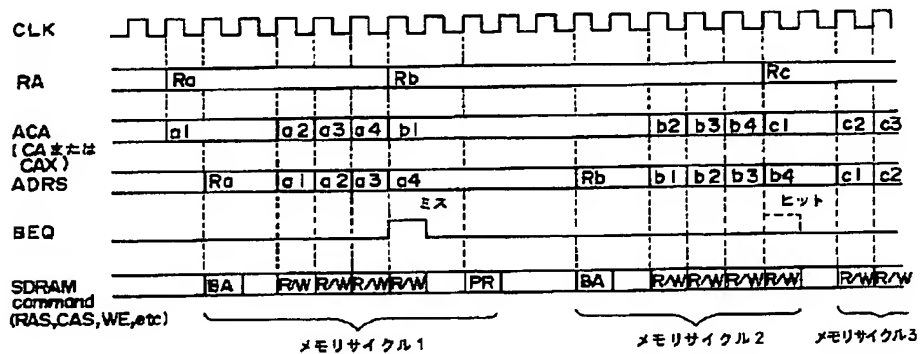
【図 3】



【図 5】

サイクル	アドレスマルチプレクサ出力 ADRS
モード設定サイクル	Mode Reg.
BAサイクル	RA
ライトサイクル	CA
シングルリードサイクル	CA
バーストリードサイクル1	CA
2	CAX
3	CAX
4	CAX

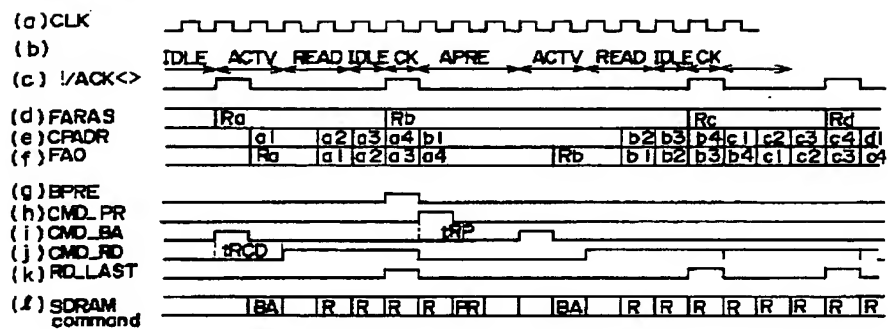
【図 6】



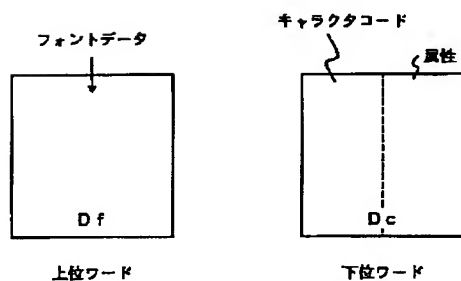


【図10】

4 回のラップラウンド転送

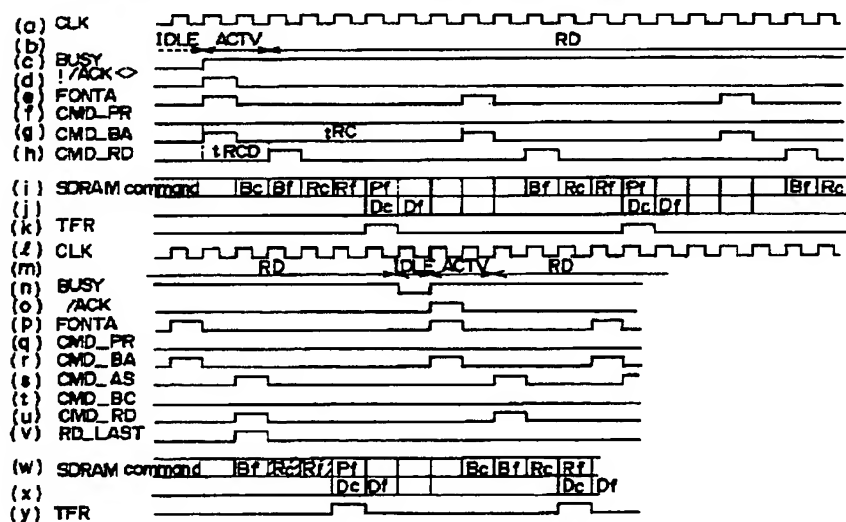


【図11】



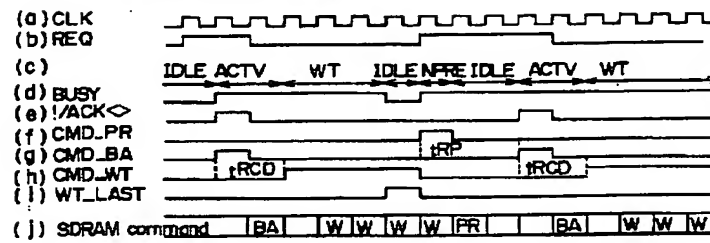
【図12】

4 回タキストリード コードデータ、フォントデータのペアの転送を4回行う



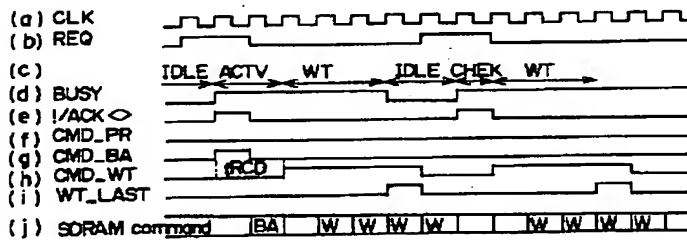
【図13】

4回のランダムライト転送

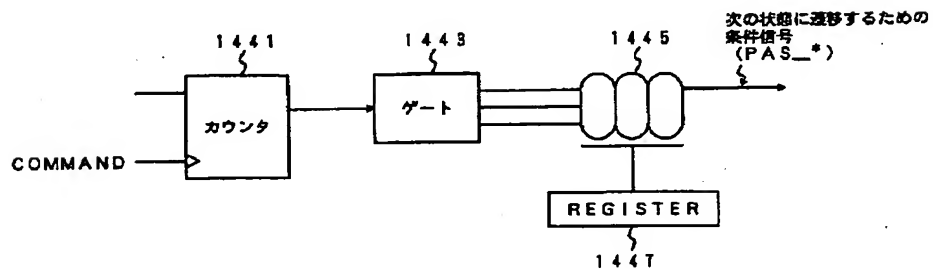


【図14】

4回のコンティニユアスライト転送



【図15】



【図16】

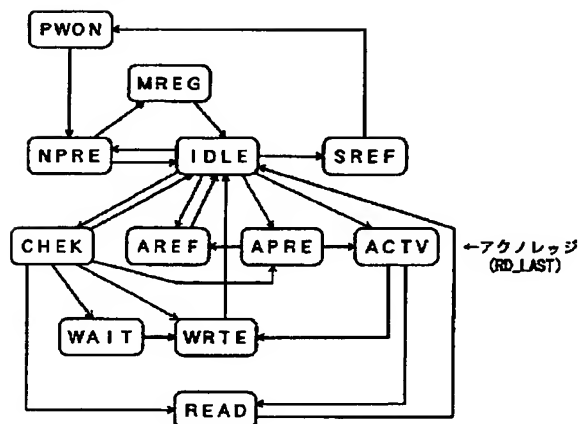
## 内部動作状態

SDRAM制御回路は以下に示すようないくつかの内部動作が状態にあり、これらの状態を遷移しながらSDRAMに対するアクセスを実行している。

状 態 名		状 態 説 明
PWON	パワーオン	SDRAMの動作開始 (セルフリフレッシュ実行)
MREG	SDRAMレジスタセット	SDRAMのモードレジスタセット実行
SREF	セルフリフレッシュ	セルフリフレッシュ実行中
IDLE	アイドル	デバイスからのリクエスト待ち状態
CHEK	バンクチェック	バンク比較
AREF	オートリフレッシュ	オートリフレッシュ実行中
APRE	ACKプリチャージ	リクエストが受け付けられ、プリチャージ実行中
ACTV	バンクアクティブ	バンクアクティブ実行中
WRTE	ライト	ライト転送実行中
READ	リード	リード転送実行中
WITE	ウェイト	リードデータの出力の終了待ち
NPRE	NOPプリチャージ	リクエストが無く、プリチャージ実行

【図17】

## 状態遷移図



【図18】

状態遷移条件

現在の状態	次の状態	遷移条件
PWON	MPRE	PAS_RC
MPRE	MPREG	CY_INI & PAS_RP
	IDLE	CY_INI & CMD_RP
MPREG	IDLE	CMD_RG
SREF	PWON	RSLEP
CHEK	WAIT	ROAST & BED & RTOW & RD_LP & "TFREP
	WRITE	ROAST & BED & MD_WT & "RTOW & PAS_RCD
	READ	ROAST & BED & MD_RD & "PAS_RCD
	APRE	ROAST & BED & PAS_RAS
	IDLE	ROAST
AREF	IDLE	CMD_RF
APRE	AREF	MD_REF & PAS_RC & PAS_RP
	ACTV	MD_TFR & PAS_RC & PAS_RP
ACTV	READ	MD_RD & PAS_RCD
	WRITE	MD_WT & PAS_RCD
WAIT	WRITE	TFREP
WRITE	IDLE	BL_2(WT_STRT)
READ	IDLE	PK "MD_TXT & READ_S ! FMD_TXT & RD_LAST)
IDLE	SREF	RESUME & PAS_RC & PAS_RP
	CHEK	RESUME & BACT & AB_TFR
	APRE	RESUME & BACT & AB_REF & ("CMD_RD   RD_LAST) & PAS_RAS
	MPRE	RESUME & BACT & AB_NOP & ("MD_CTWHLTRD) & ("CMD_RD   RD_LAST) & PAS_RAS
	ACTV	RESUME & BACT & AB_TFR & PAS_RC & PAS_RP
	AREF	RESUME & BACT & AB_REF & PAS_RC & PAS_RP

019210 / 11/11/11 11/11/11

**THIS PAGE BLANK (USPTO)**



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**